

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-329806

(43) 公開日 平成9年(1997)12月22日

| (51) Int.Cl. ⁸ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|--------|
| G 0 2 F 1/136 | 5 0 0 | | G 0 2 F 1/136 | 5 0 0 |
| | 5 5 0 | | 1/133 | 5 5 0 |
| G 0 9 G 3/36 | | | G 0 9 G 3/36 | |

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号 特願平8-149182

(22) 出願日 平成8年(1996)6月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 奥村 治彦

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 金野 晃

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

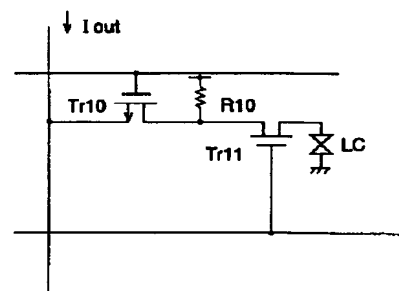
最終頁に続く

(54) 【発明の名称】 液晶表示装置

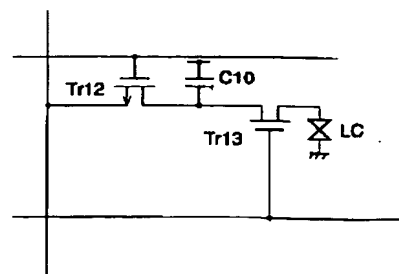
(57) 【要約】

【課題】 動画表示においても消費電力を低減できるようにした液晶表示装置を提供すること。

【解決手段】 複数の画素をマトリックス状に配列し、各画素には画素信号線より画素信号を与えると共に、画素信号は画素毎に設けた保持手段に保持させ、この保持手段に保持させた画素信号を電圧としてその画素の液晶セルに加えることにより、画像表示するようにした液晶表示装置において、前記画素信号を電流信号とすると共に、各画素にはこの電流信号を電圧信号に変換して保持手段C10に保持させる変換手段C10, Tr13を設けた構成とする。



(a)



(b)

【特許請求の範囲】

【請求項 1】 複数の画素をマトリックス状に配列し、各画素には画素信号線を介して画素信号を与えると共に、この画素信号は画素毎に設けた保持手段に保持させ、この保持手段に保持させた前記画素信号を電圧としてその画素の液晶セルに加えることにより、画像表示するようにした液晶表示装置において、前記画素信号を電流信号とすると共に、各画素にはこの電流信号を電圧信号に変換して保持手段に保持させる変換手段を設けた構成とすることを特徴とする液晶表示装置。

【請求項 2】 前記変換手段が、容量または抵抗であることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 複数の画素をマトリックス状に配列し、各画素には画素信号線を介して画素信号を与えると共に、この画素信号は画素毎に設けた保持手段に保持させ、この保持手段に保持させた前記画素信号を電圧としてその画素の液晶セルに加えることにより、画像表示するようにした液晶表示装置において、各画素には前記画素信号を増幅する増幅手段をそれぞれ設けたことを特徴とする液晶表示装置。

【請求項 4】 前記増幅手段には、非動作時に自己の動作電源をオフ状態にするスイッチを設けたことを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】 前記増幅手段が、非動作状態になる前に前記増幅手段と液晶セルとの間を切り放すスイッチを設ける事を特徴とする請求項 3 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低消費電力化を図った液晶表示装置に関する。

【0002】

【従来の技術】 近年においては液晶表示装置は、駆動電圧の低電圧化や駆動周波数の低減により、低消費電力化されてきているが、さらに、低消費電力化できる構造として、一画素毎にメモリを備えた構造が提案されている（特開昭 58-196582 号公報または特開平 3-77922 号公報参照）。この技術を採用することにより、静止画については、ひとたび表示信号を各画素に伝送してしまえば、その後はその画素のメモリに保持された信号で、その画素を常時表示すれば良い。そのため、消費電力は理論上、極性反転のための消費電力だけになることから、静止画については、消費電力は“0”に限りなく近づいてきている。

【0003】 しかし、近年、マルチメディア化が進み、動画像を表示する需要が増大しており、しかも、その動画像は画素情報が速い速度で逐次変化する画像であることから、画素毎にメモリを持たせていても、そのメモリには高頻度で画素の信号を書き替える必要が生じる。そして、このように高頻度で画素の書き換えを行うように

なると、従来と同様に大幅に電力を消費してしまう。

【0004】 液晶表示装置の概略的な回路構成例を図 25 に示す。図 25 の (a) に、液晶表示装置の要部の構成をブロック図で示す。液晶表示装置は、図 25 (a) に示すように、液晶表示パネル 10 と、信号線駆動回路 11 と、ゲート線駆動回路 12 と、バッファ回路 13 と、コモン駆動回路 14 と制御信号発生回路 15 とを具備する。

【0005】 液晶表示パネル 10 は、図 25 の (b) に示すように、複数個の微小な液晶セル CEL をマトリックス状に配設したものであり、それぞれの行単位で行駆動用の行走査線（ゲート信号線）La1, La2~Lam を、そして、列単位でそれぞれ画素信号線 Lb1, Lb2~Lbn を配してあり、各液晶セル CEL はそれぞれ対応の行走査線によりスイッチ SW が駆動されて、画素信号線からの画素信号が対応の液晶セル CEL に印加され、画素表示される構成である。

【0006】 液晶セル CEL はこの画素信号線からの印加電位と、コモン電源（共通電源）VCOM 電位との電位差分の電位が加えられることにより、その電位対応に画素濃度を変化させる。

【0007】 コモン電源 VCOM は共通電位の電源であり、これはコモン駆動回路 14 により発生されるようになっている。なお、制御信号発生回路 15 は表示動作に必要な各種の制御信号を発生して各部に与え、所要の動作を行えるように制御している。また、各液晶セル CEL に対応して、それぞれサンプリング用のスイッチ SW が設けてあり、このスイッチ SW はそれぞれ TFT（薄膜トランジスタ）で構成されていて、そのゲート端子は対応する行の行走査線 La1 (~La2~Lam) に接続され、当該行走査線の信号によりオンオフ制御される構成である。また、各スイッチ SW はそれぞれ対応の列の画素信号線 Lb1 (~Lb2~Lbn) と液晶セル CEL との間にソース・ドレイン間を接続して信号線駆動回路 11 の出力を液晶セル CEL に与えることができるようにした構成である。

【0008】 ゲート線駆動回路 12 は順次、行走査線 La1, La2~Lam に駆動信号を与えて行単位で各液晶セルのスイッチ SW を構成する TFT のゲートに信号を与え、当該スイッチ SW を駆動制御するためのものである。

【0009】 このような構成において、ゲート線駆動回路 12 は垂直方向に配列した全行走査線 La1, La2~Lam を走査する時間周期でゲート線駆動信号を G1, G2, G3, ~Gm に順に発生する。

【0010】 ゲート線駆動信号 G1, G2, G3, ~Gm の出力端子は行対応にその該当の行走査線 La1, La2~Lam に接続されており、従って、当該ゲート線駆動信号が発生された行走査線において、その行に接続されている液晶セルの各スイッチ SW がオンオフ制御されるこ

とになる。このようにして、ゲート線駆動回路12により、各行走査線が順次走査されることになる。

【0011】一方、画像信号がバッファ回路13を介して信号線駆動回路11に与えられ、信号線駆動回路11では、行走査線の走査に対応して、その走査中の行の各画素の状態を画像信号対応に制御すべく、その走査中の行の各画素の表示信号がそれぞれ各画素対応に出力され、この各表示信号が各画素位置対応に配された画素信号線Lb1、Lb2～Lbnに出力される。

【0012】図25(b)に示す如き、液晶表示パネルにおいては、行走査線の信号をONすることによって、その行対応の液晶セルの各SWがONすると共に、信号線駆動回路11からの上述のような制御により、走査中の行の各画素対応の表示信号を与えることで、表示画像の内容対応の表示信号が画素信号線Lb1、Lb2～Lbnを介して入力され、コモン駆動回路14から与えられるコモン電圧との電位差分の電圧が、液晶セルCELに印加されて画素表示がなされる。

【0013】ここで、液晶表示装置の駆動回路(モジュール回路)の消費電力が、どのような要因で決まるかを検討する。なお、ここでは直流的に流れるバイアス電流による消費電力については当該モジュール回路の消費電力には含めないものとする。

【0014】液晶表示装置の駆動回路は上述したように、基本的に、信号線駆動回路、バッファ回路、制御信号発生回路、コモン駆動回路、ゲート線駆動回路に分けられる。以下、それぞれについて詳細に述べる。

【0015】[i] 信号線駆動回路

信号線駆動回路は、信号線を駆動するための駆動ICでデジタル式とアナログ方式に分けられるが、一般にOA画像がデジタルであることから、整合性の良いデジタル式について消費電力を検討する。

【0016】デジタル式の駆動ICは基本的に信号のサンプリング時間を決めるシフトレジスタ、デジタル信号をラッチするラッチ回路、このラッチ回路のラッチしたデジタル信号をアナログ信号に変換するD/A変

$$P_{ga} = (2 C_{gac} + C_{gap}) * f_s / 2 * V_{ga}^2 \quad \dots(4)$$

[iv] コモン駆動回路

コモン駆動回路は、コモン容量Ccを駆動するためのめめ、コモン駆動回路の最大消費電力Pcは、コモンの駆動周波数をfc、コモン駆動回路の電源電圧をVcで表すと、以下ようになる。なお、コモン反転の場合、コモンの駆動周波数fcは水平駆動周波数fhの半分である。

$$【0022】 P_c = C_c * f_c * V_c^2 \quad \dots(5)$$

[v] ゲート線駆動回路

ゲート線駆動回路は、ゲート線の容量Cgを駆動するた

$$P_{all} = P_l + P_{ob} + P_b + P_{ga} + P_c + P_g$$

$$= (C_l + 2 C_{CK}) * f_s / 2 * V_l^2 - N_h * C_s * f_h * V_s^2 / 2 + (2 C_{bc} + C_{bp}) * f_s / 2 * V_b^2 + (2 C_{gac} + C_{gap}) * f_s / 2$$

換回路、信号線を駆動する出力バッファからなる。

【0017】ここで、消費電力を決める要因は、ラッチ回路と出力バッファであるので、この2つのみ考える。ラッチ回路の最大消費電力Plは、画像信号に関する入力等価容量をCl、サンプリングクロックに関する入力等価容量をCCK、画像のサンプリング周波数をfs、ラッチ回路電源電圧をVlでそれぞれ表すと、以下ようになる。

【0018】

$$P_l = (C_l + 2 C_{CK}) * f_s / 2 * V_l^2 \quad \dots(1)$$

出力バッファの最大消費電力Pobは、信号線容量をCs、水平駆動周波数をfh、水平の画素数をNh、信号線電圧をVssでそれぞれ表すと以下ようになる。

【0019】

$$P_{ob} = N_h * C_{ss} * f_h * V_s^2 / 2 \quad \dots(2)$$

[ii] バッファ回路

バッファ回路は、入力のデジタル信号を受けてノイズ除去や波形整形をして信号線駆動回路に安定な信号を供給する部分で、省略される場合もあるが、基本的に必要であるので考慮しておく。バッファ回路の最大消費電力Pbは、クロックfsに関する回路の入力等価容量をCbc、画像信号に関する回路の入力等価容量をCbp、バッファ回路の電源電圧をVbでそれぞれ表すと、以下ようになる。

【0020】

$$P_b = (2 C_{bc} + C_{bp}) * f_s / 2 * V_b^2 \quad \dots(3)$$

[iii] 制御信号発生回路

制御信号発生回路は、基本的にゲートアレイ化しており、信号により内部の周波数が異なるが、主に画像のサンプリングクロックfsに関係する消費電力が重要なファクターと考えられる。ゲートアレイ全体の最大消費電力Pgalは、クロックfsに関する回路の等価内部容量をCgac、画像信号に関する回路の入力等価容量をCgap、ゲートアレイの電源電圧をVgaでそれぞれ表すと、以下ようになる。

【0021】

めめもので、ゲート線駆動回路の最大消費電力Pgは、ゲート線の駆動周波数をfg、ゲート線駆動回路の電源電圧をVgで表すと以下ようになる。なお、ゲート線の駆動周波数fgは、通常、水平駆動周波数fhである。

$$【0023】 P_g = C_g * f_h * V_g \quad \dots(6)$$

[vi] 回路全体の消費電力Pall

以上より、回路全体の消費電力Pallは、以下のようになる。

【0024】

$$*Vga^2 + Cc * fc * Vc^2 + Cg * fh * Vg$$

(ここで、コモンは一定電圧で $Nh * C_{ss} \gg Cg$ とす ると、

$$P_{all} = (C_l + 2 C_{CK} + 2 C_{bc} + C_{bp} + 2 C_{gac} + C_{gap}) * (f_s / 2$$

$$) * V^2 + Nh * C_{ss} * \{f_h / 2\} * V^2$$

$$= P_{all} (C, f, V) \quad \dots(7)$$

となり、容量Cと駆動周波数f(水平周波数と画像のクロック周波数)とディジタル系の電源電圧Vの関数となる。ここで、上記容量Cはデバイス構造、また、上記電圧Vはプロセスおよび液晶のV-T特性など、ICおよび液晶表示パネル構造で決まってしまう。しかし、周波数fは画像の水平走査周波数やフリッカ特性など、システム及び画質から決まってくるもので、駆動法により下げることが可能である。

【0025】次に、液晶表示パネルの消費電力がどのような要因で決まるかを検討する。液晶表示パネルは、基本的に図25に示すように、画素信号線と行走査線(ゲート線)によってそれぞれ画像信号と走査信号が伝達され、画素表示される。この時、画素信号線と行走査線の容量Csig、Cgを駆動するために、それぞれCsigfV²、Cg fV²の電力が消費される。この電力消費分は液晶セルCELの表示に直接的に寄与するものでないから、損失分である。

【0026】これを低減するには容量C、周波数f、電圧Vを下げる必要がある。そして、静止画であれば、周波数fを“0”にすることができるが、動画であれば、通常、これを“0”にすることはできないし、複雑な画像であれば各液晶セルCELの表示濃度が頻繁に変わることになるので、そのための駆動する電力も増加してしまうという問題がある。

【0027】先に提案されている画素メモリ付きLCDは、スイッチSWを介して得た表示信号を当該画素メモリに保持させ、このメモリ内容を用いて画素の表示に供するものであるが、これは静止画像表示に供する場合に、駆動周波数fや静的消費電力を低減する効果のある技術であるもの、動画表示に供される場合には、当然、駆動周波数fを上げる必要があり、そのために全体の消費電力は増加してしまう。

【0028】

【発明が解決しようとする課題】以上のように、従来の画素メモリ付き液晶表示装置においては、表示画像の表示信号を画素毎に保持できるようにしたことにより、静止画表示に供する場合には一旦、画素信号を各画素のメモリに記憶させると、メモリの書き替えは必要としないから、駆動周波数fや静的消費電力を低減する効果が期待できるが、動画表示の場合には常に書き替えを必要とすることから、静止画表示のような消費電力低減効果が全く期待できないという問題があった。

【0029】そこで、この発明の目的とするところは、画素メモリ付き液晶表示装置において、動画表示の際にも消費電力を低減でき、携帯機器に画像表示装置として

用いる場合においても携帯機器の主電源であるバッテリーの消耗を最小限に抑え、バッテリー駆動時間をより長くできる低消費電力型の液晶表示装置を提供することにある。

10 【0030】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成する。すなわち、第1には、複数の画素をマトリックス状に配列し、各画素には画素信号線より画素信号を与えると共に、この画素信号は画素毎に設けた保持手段に保持させ、この保持手段に保持させた前記画素信号を電圧としてその画素の液晶セルに加えることにより、画像表示するようにした液晶表示装置において、前記画素信号を電流信号とすると共に、各画素にはこの電流信号を電圧信号に変換して保持手段に保持させる変換手段を設けた構成とする。

【0031】このような構成によれば、液晶表示装置は、液晶セルを駆動する画素信号は電流で与え、画素内で電圧信号に変換することから、画素信号が電圧信号ある場合のように、画素信号の内容によって電圧を変化させる必要はない。そのため、画素信号線を駆動する画素信号電圧振幅をほとんど0とすることができるので、画素信号線を駆動するために必要な電荷をほとんど無くすることができ、従って、動画表示においても低消費電力化を図ることができるようになる。

30 【0032】また、本発明は第2には、複数の画素をマトリックス状に配列し、各画素には画素信号線より画素信号を与えると共に、この画素信号は画素毎に設けた保持手段に保持させ、この保持手段に保持させた前記画素信号を電圧としてその画素の液晶セルに加えることにより、画像表示するようにした液晶表示装置において、各画素には前記画素信号を増幅する増幅手段をそれぞれ設けたことを特徴とする。

【0033】このような構成によれば、各画素には前記画素信号を増幅する増幅手段をそれぞれ設けて画素信号をこの増幅手段により増幅して液晶セルに与え、駆動するようにしたことから、画素信号を電圧信号とした場合に、画素信号線に供給する画素信号は電圧を低くすることができ、従って、画素信号を伝達する画素信号線の容量を駆動する電圧が、当該画素信号電圧が低いことにより低くなることから、画素信号線容量駆動に消費される電力を大幅に減らすことができる。

【0034】

【発明の実施の形態】以下、本発明の具体例について図面を参照して説明する。

50 【0035】[画素メモリ付き液晶表示装置の低消費電

力化技術(I)]ここで説明する本発明の第1および第2の具体例は、液晶表示パネルを駆動するドライバ出力信号(画素信号線駆動回路の画素信号)を、従来のような電圧信号ではなく、電流信号とし、電圧の場合に避けることができなかった信号変化に伴う液晶表示パネルの信号線容量を駆動するといったことをなくし、信号線容量駆動に対する消費電力の問題を解消するようにしたものである。

【0036】基本コンセプトを図1に示す。図において、TFT-LCDは液晶表示パネルであり、行および列方向に配列された複数の画素から構成されている。複数の画素は列方向はそれぞれの列対応の画素信号線により、また、行方向はそれぞれの行対応の行走査線により駆動され、表示に供される。

【0037】また、VIは電圧信号として与えられる入力画像信号を電圧-電流変換して画素信号線に与える電圧-電流変換部であり、GDRVはゲート線ドライバで、行走査線を駆動するためのものであり、IVは電流-電圧変換部で画素信号線を介して与えられた電流信号を電圧信号に変換するためのものであり、LCは表示画素部分となる液晶で、この電流-電圧変換部IVで変換された電圧信号にて駆動されて画素表示するものである。

【0038】電圧信号である画像信号は、電圧-電流変換部IVにて電流信号に変換され、複数の画素信号線のうちの対応する画素信号線に出力され、ゲート線ドライバGDRVにより駆動された行対応の画素位置の電流-電圧変換部VIによって電圧変換されて液晶LCに与えられ、この液晶LCを表示駆動する。

【0039】このように、液晶表示パネルを駆動するドライバ出力信号(画素信号線駆動回路の画素信号)を、従来のような電圧信号ではなく、電流信号とし、電圧の場合に避けられなかった信号変化に伴う液晶表示パネルの信号線容量を駆動するといった現象が生じないようにし、信号線容量駆動に対する消費電力の問題を解消する。

【0040】このようなコンセプトに基づく具体例を以下、説明する。

【0041】(第1の具体例)図2、図3、図4に第1の具体例を示す。図2は、LCDモジュール全体の回路ブロック図、図3は、ドライバLSIである電流駆動信号線ドライバの回路ブロック図、図4は本発明のドライバの出力回路構成を示している。

【0042】図2において、101はデジタル信号処理回路、102はデジタルLSI(電流駆動信号線ドライバ;画素信号線駆動回路)、103はタイミング制御回路(制御信号発生回路)、104は液晶表示パネル(TFT-LCD)、105はゲート線ドライバ(ゲート線駆動回路)である。

【0043】液晶表示パネル(TFT-LCD)は、図

25(b)で説明した如き画素配列であり、ここでは図示していないが図25(b)で説明したように、複数の微小な液晶セルCELをマトリックス状に配設したものであって、それぞれの行単位で行駆動用の行走査線La1, La2~Lamを、そして、列単位でそれぞれ画素信号線Lb1, Lb2~Lbnを配してあり、各液晶セルCELはそれぞれ対応の行走査線によりスイッチSWが駆動されて、画素信号線からの画素信号が対応の液晶セルCELに印加され、画素表示される構成である。

【0044】液晶セルCELはこの画素信号線からの印加電位と、コモン電源(共通電源)VCOM電位との電位差分の電位が加えられることにより、その電位対応に画素濃度を変化させる。

【0045】電流駆動信号線ドライバ102は画素信号線駆動回路であって、画像信号を受けて、これを画像信号対応のアナログ信号にして画素対応の画素信号線に出力し、液晶表示パネル104に与えてこの液晶表示パネル104の画素である液晶セルを画像表示のために駆動するものであり、この電流駆動信号線ドライバ102は複数あって、液晶表示パネル104の画素信号線数対応に配される。電流駆動信号線ドライバ102は複数の出力端子を持ち、1個で複数画素信号線のドライブを行うことができる。

【0046】デジタル信号処理回路101はRGBの表示信号をR, G, Bの色成分別に受け、これを複数ある電流駆動信号線ドライバ102の各受け持ち画素信号線の配置位置に応じて振り分けるように、変換処理するためのものである。

【0047】また、タイミング制御回路103は画像信号の水平/垂直同期信号H-SYNC, Y-SYNCを受け、クロック信号CLOCKや画像表示のための各種の制御信号CTRLを出力するためのものであり、これらの信号によりデジタル信号処理回路101、電流駆動信号線ドライバ102、ゲート線ドライバ105は画像表示のための所定の駆動動作を行う。

【0048】ゲート線ドライバ105は順次、行走査線に駆動信号を与えて行単位で各液晶セルのスイッチSWを構成するTFTのゲートに信号を与え、液晶セルのスイッチSWを構成している当該TFT(スイッチSW)を駆動制御するためのものである。

【0049】また、電流駆動信号線ドライバ102は入力である画像信号を受けてこれをシリアル/パラレル変換するS/P変換部SPCと、このパラレル変換された画像信号を画面表示の1ライン分、保持するラインメモリLMと、このラインメモリLMに保持された1ライン分の画像信号をそれぞれの画素の階調値対応のアナログ信号として出力するものであり、画素位置対応の出力端子を有してその各出力端子より対応の画素用のアナログ信号を出力するものである。

【0050】このような構成において、まず、図2にお

ける画像信号である表示信号RGBがデジタル信号処理回路101に入力されると、当該デジタル信号処理回路101は各画素領域対応に配されている電流駆動信号線ドライバ102へ信号を振り分ける。この時のタイミングをタイミング制御回路103で作成する。

【0051】電流駆動信号線ドライバ102に送られた信号は、この電流駆動信号線ドライバ102において、タイミング制御回路103からのクロック信号CLOCKに従いつつ、直並列変換(S/P変換)された後、1ラインメモリの記憶容量を有するラインメモリLMに与えられ、ここに保持される。

【0052】ラインメモリLMではタイミング制御回路103からのLOAD信号により書込タイミングを合わせ、この保持した1ライン分の信号を出力回路OUTに出力し、出力回路OUTではこの信号をD/A変換してアナログ信号化した後、液晶表示パネル(TFT-LCD)104における対応の画素信号線にそれぞれ与えてこの液晶表示パネル104を駆動する。

【0053】出力回路OUTにおけるこのD/A変換に用いる方式には種々のものがあるが、各画素信号線出力に一個ずつ個別にD/A変換器を具備するようにした完全D/A方式と呼ばれる方式の従来構成例を図7に示す。

【0054】この従来の完全D/A方式の場合、例えば、入力3ビット構成としてこれをアナログ信号に変換するには入力段に容量C1、C2、C3をそれぞれ設け、これら容量C1、C2、C3を介してオペアンプOPの反転側入力端子に入力を与えると共に、オペアンプOPの非反転側入力端子は接地し、オペアンプOPの出力端子と反転側入力端子との間を容量CLを介して接続する。ビットデータであるD1、D2、D3の計3ビット構成の入力デジタル信号(画素信号データ)は、D1については容量C1を介して、また、D2については容量C2を介して、また、D3については容量C3を介して入力される構成としてある。容量C1、C2、C3は

$$C1 : C2 / 2 = C3 / 4$$

なる関係である。

【0055】そして、D1、D2、D3の計3ビット構成の入力デジタル信号は容量C1、C2、C3(C1 : C2 / 2 = C3 / 4)と容量CLおよびオペアンプOPで構成される加算器により加算され、D/A変換されてデータ値対応のアナログ電圧信号になり、液晶セルの駆動電圧として使用される。

【0056】つまり、この構成の場合、電圧信号として入力されたデジタル信号を電圧の駆動信号に変換している。この時、駆動する液晶表示パネル104の信号線容量をCpとすると $P = C_p f V^2$ なる無駄な消費電力Pを費やしている。このことは、液晶の1画素容量をCLCとすると、実際には $CLC f V^2$ (CLC < Cp) の消

費電力で済むものを、 $C_p f V^2$ も無駄に電力消費していることを示している。

【0057】これに対する改善例としての具体例が、図4に示す本発明のドライバの出力回路であり、この本発明の第1の具体例におけるD/A変換回路は、入力デジタル信号電圧を電流に変換して、それらを単に重み付け電流加算して電流として出力する方式である。

【0058】ここに示す構成は、入力3ビット構成を例としてこれをアナログ信号に変換するものであるが、入力段に抵抗R1、R2、R3をそれぞれ設け、D1、D2、D3よりなる計3ビット構成の入力デジタル信号は、D1については抵抗R1を介して、また、D2については抵抗R2を介して、また、D3については抵抗R3を介して入力される構成としてある。

【0059】Tr1~Tr6はトランジスタ(FET)であり、これらのうち、Tr1、Tr2は定電流源を、また、Tr3、Tr4はカレントミラー回路を構成している。また、Tr5は出力の電圧を一定にしているものである。

【0060】前記抵抗R1、R2、R3は、3ビット構成の入力デジタル信号D1、D2、D3を電流に変換して、加算するためのもので、これら抵抗R1、R2、R3により電流値に変換されて加算された電流信号はTr3のゲートおよびドレイン、そして、Tr4のゲートに入力される構成としてある。

【0061】つまり、Tr1、Tr2は定電流源を構成しており、また、Tr3、Tr4はカレントミラー回路を構成しているので、D1、D2、D3のデータ値がいずれも“0”(論理レベル“L”)であれば抵抗R1、R2、R3は電流値が“0”で、抵抗R1、R2、R3からの電流変化I1、I2、I3はないのでこのときは、出力Ioutから電流は流れないが(つまり、Tr1、Tr2、Tr3、Tr4に流れる電流は同じ)、D1、D2、D3のデータ値が変わっていずれかでも“1”(論理レベル“H”)となり、その“1”となったデータが入力されている抵抗R1(またはR2、またはR3)から電流I1(またはI2、またはI3)が発生すると、その分、Tr3、Tr4に流れる電流が変化するので電流出力Ioutが変化する。つまり、デジタル入力電圧により、駆動出力電流を変化させることができる。

【0062】このように出力された駆動電流は、画素内において図5(a)ではTr10と抵抗R10で示された電流電圧変換回路で、また、図5(b)ではTr12と容量C10で示された電流電圧変換回路で電圧に変換された後、スイッチTr11やTr13で液晶に加えられる。

【0063】図5(a)および(b)は液晶表示パネル104における1画素分の液晶セルの構成を示した図であり、図5(a)ではスイッチを構成するトランジスタTr10のゲートに行駆動線であるゲート線の信号が与えら

れ、前記の電流出力 I_{out} が画素信号線を通してトランジスタ T_{r10} のドレイン側に入力される。そして、トランジスタ T_{r10} のソース側はトランジスタ T_{r11} のドレイン - ソース間を介して液晶セル $L C$ の駆動電極に与えられる構成である。

【0064】抵抗 R_{10} は電流 - 電圧変換用の抵抗であり、トランジスタ T_{r10} を介して取り込んだ前記電流出力 I_{out} をこの抵抗 R_{10} に流すことにより、電圧に変換してこの電圧をトランジスタ T_{r11} を介して液晶セル $L C$ の駆動電圧とするものである。

【0065】トランジスタ T_{r11} は液晶セル $L C$ の駆動期間を決めるスイッチであり、トランジスタ T_{r11} がオン状態の期間、液晶セル $L C$ は電流出力 I_{out} 対応の階調で画素表示することになる。

【0066】また、図 5 (b) ではスイッチを構成するトランジスタ T_{r12} のゲートに行走査線であるゲート線

(ゲート駆動線) の信号が与えられ、前記の電流出力 I_{out} が画素信号線を通してトランジスタ T_{r12} のドレイン側に入力される。そして、トランジスタ T_{r12} のソース側はトランジスタ T_{r13} のドレイン - ソース間を介して液晶セル $L C$ の駆動電極に与えられる構成である。容量 C_{10} は画素データ記憶用の容量であり、トランジスタ T_{r12} のオン時に取り込んだ前記の電流出力 I_{out} を蓄積して保持するためのものである。トランジスタ T_{r13} は液晶セル $L C$ の駆動期間を決めるスイッチであり、トランジスタ T_{r13} がオン状態の期間、液晶セル $L C$ は容量 C_{10} の保持電圧対応の階調で画素表示することになる。

【0067】このような構成のうち、図 5 (a) では電流を抵抗に流すことにより電圧に変換しているのに対して、図 5 (b) では容量に電荷を蓄積することにより電圧に変換している。この時、スイッチ抵抗が大きいとその抵抗に電流が流れることにより信号線に電圧が発生してしまうため、トランジスタ T_{r10} 、 T_{r11} 、 T_{r12} 、 T_{r13} としてはスイッチの ON (オン) 抵抗が小さい単結晶や多結晶シリコンの素子を用いる方が望ましい。

【0068】ただし、ゆっくり駆動すれば単位時間に流す電流が減り、発生する電圧も小さくなるので、特開平 3 - 2 7 1 7 9 5 号公報で提案されているような低速駆動法を用い、駆動時間を十分とることで対応することもできる。

【0069】以上、第 1 の具体例における D/A 変換回路は、画素信号である入力デジタル信号電圧を電流に変換して、それらを単に重み付け電流加算して電流として出力する方式としたものであり、電流に変換する方式としたことで画素信号の情報内容が切り替わっても、電圧としての変化を無くし、電圧変化が生じた場合に避けることのできない、駆動する液晶表示パネル 104 の信号線容量 C_p に対する電荷の充放電に伴う無用な消費電力が生じないようにしたものである。

【0070】次に液晶セルを低消費電力で駆動できるよ

うにするために前記電流出力 I_{out} を発生して伝達できるようにする D/A 変換回路の別の例を第 2 の具体例として説明する。

【0071】(第 2 の具体例) 第 2 の具体例を図 6 に示す。図 6 において R_1 、 R_2 、 R_3 はそれぞれ抵抗であり、OP はオペアンプである。入力 3 ビット構成を例にとると入力段に抵抗 R_1 、 R_2 、 R_3 をそれぞれ設け、これら抵抗 R_1 、 R_2 、 R_3 を介してオペアンプ OP の反転側入力端子に入力を与えると共に、オペアンプ OP の非反転側入力端子は接地する。また、オペアンプ OP の出力端子と反転側入力端子との間を繋ぐ。

【0072】 D_1 、 D_2 、 D_3 なる 3 ビット構成の入力デジタル信号 (画素信号データ) は、 D_1 については抵抗 R_1 を介して、また、 D_2 については抵抗 R_2 を介して、また、 D_3 については抵抗 R_3 を介して入力される構成としてある。

【0073】図 6 の構成では、出力対象となる画素信号線での電圧を一定にするために、定電圧を出力し、かつ画素情報としては電流信号で伝達できるようにするためにオペアンプ回路を使っている。つまり、オペアンプ回路を使用することで入力電流は電流信号としてオペアンプ回路から出力されるので、抵抗 R_1 、 R_2 、 R_3 で電流に変換された表示信号 (画素信号) はオペアンプ回路 OP より I_{out} となって、画素信号線に出力される。

【0074】これが、画素を構成する液晶セルにおいて、液晶セル内の TFT トランジスタによるスイッチの ON (オン) 抵抗や、電流を電圧に変換するための抵抗などに流れることによって画素信号線の電位が振られないように、オペアンプバッファ (オペアンプ回路 OP) により定電圧を与え、この定電圧下で信号は電流として伝達するようにしている。

【0075】この結果、画素信号線の電位は変動しないので、駆動する液晶表示パネル 104 の信号線容量 C_p を充放電することがないから、信号線容量 C_p による無駄な消費電力 P を費やす心配がなくなる。

【0076】なお、以上説明した具体例では、画像信号を個々の画素の駆動用の画素信号に変換するにあたり、画素信号駆動回路である電流駆動信号線ドライバ 102 で電圧信号を電流信号に変換するようにしたが、その前の段階、例えば RGB のモジュール入力自体が電流信号を扱うようなものである場合や入力した後のデジタル信号処理部で電圧信号を電流信号に変換するようにした場合にも適用することができる。

【0077】また、画素信号を電流信号としたことにより、当該画素信号としての電流の出力期間が、液晶表示パネルの 1 ラインを駆動している期間より短くしても支障がなく、また、当該画素信号としての電流の出力期間は、電流値をほぼ一定とした場合には、表示階調により異なるようにした構成とすることもできる。

【0078】以上詳細に説明してきたように、第 1 およ

び第2の具体例は、画素表示のための信号を電流信号により伝達して液晶セルの駆動に供するようにしたものであり、これによって画素信号線容量を駆動する電圧をほぼ零とすることができるので、この画素信号線容量を駆動するための消費電力をほぼ零にすることができる。その結果、消費電力を大幅に減らす事ができる。また、駆動時間が短くなり、高速に駆動しなければならない場合に、信号線容量とその抵抗の時定数に制限されることなく高速に駆動信号を伝達することができる。さらに、電流駆動を信号線のみならずモジュール全体（モジュール入力から電流入力にするなど）に広げることにより、より高速で、低消費電力化ができる。

【0079】〔画素メモリ付き液晶表示装置の低消費電力化技術(II)〕一層の低消費化を図るために、画素メモリ付き液晶表示装置は図26に示すように、画素毎にメモリ（画素メモリ容量 C_p ）を備えてここに画素表示信号を記憶し、画素表示に際してはこのメモリに記憶保持させた信号を使用する。そして、これにより、静止画については、ひとたび画素表示信号を各画素に転送してしまえば、保持された信号を常時表示すれば良いため、消費電力は理論上、極性反転の為の消費電力だけになることから、零に限りなく近づけることができることは既に述べた。

【0080】しかし、動画像を表示する必要が多くなると、低消費電力効果はなくなる。液晶表示パネルの消費電力の要因は、液晶表示パネルが基本的に、信号線と走査線（ゲート線）によってそれぞれ画像信号と走査信号が伝達され、表示される構成であり、この時、信号線と走査線の持つ容量である信号線容量 C_{sig} 、走査線容量 C_g を駆動するためにそれぞれ $C_{sig} \times f V^2$ 、 $C_g \times f V^2$ の電力が消費されることに起因している。これを低減するには容量 C 、周波数 f 、電圧 V を下げれば良いが、動画の場合、 f は零にすることはできないし、複雑な画像であれば駆動する電力も増加してしまう。つまり、画素メモリ付き液晶表示装置は静止画の時に駆動周波数 f や静的消費電力を低減するものであるが、動画が表示されれば、当然周波数 f が上がることになり、容量 C を駆動することによって全体の消費電力は増加してしまう。

【0081】上述の第1および第2の具体例は、画素信号を電流信号化することで、画素信号線容量の駆動をなくし、低消費電力化を図るものであったが、ここでは画素信号の振幅を小さくすることで、画素信号を出力する画素信号線駆動回路の低消費電力化を図り、かつ、画素信号を伝達する画素信号線の容量に消費される電力を少なくし、以て低消費電力化を図るようにした技術を、第3ないし第9の具体例として説明する。

【0082】（第3の具体例）図8に第3の具体例を示す。図8は画素1つあたりの構成を示しており、図において、 L_{aj} は行走査線（ゲート駆動線）、 L_{bi} は画素信

号線、 T_r はTFTスイッチ、AMPは増幅率 α 倍の増幅回路、 LC は液晶セル、 C_p は画素メモリ容量、 C_s は信号線容量である。

【0083】図8の構成においては、画素信号線 L_{bi} により送られてきた画像信号は、TFTスイッチ T_r を介して画素メモリ容量 C_p に与えられ、保持されると共に、画素メモリ容量 C_p の保持した画素信号は増幅回路AMPを介して増幅されて液晶セル LC に与えられ、これを駆動するようにしてある。

10 【0084】すなわち、この構成においては、TFTスイッチ T_r は行走査線（ゲート駆動線） L_{aj} にゲート駆動信号が与えられる間、これをゲート信号として受けてオン状態になる。そして、画素信号線 L_{bi} により送られてきた画像信号は、このオン状態になったTFTスイッチ T_r により、 S/H （サンプリング／ホールド）され、画素メモリ容量 C_p に与えられてここに保持される。保持された画像信号は、増幅回路AMPによって α 倍に増幅され、液晶セル LC に与えられてこれを駆動する。

20 【0085】このように、第3の具体例は、1画素毎に画素信号を記憶するメモリ回路（画素メモリ容量 C_p ）の保持信号を増幅する増幅回路を設けて、この増幅回路により画素信号を α 倍に増幅して液晶セル LC の駆動に供するようにしたものであり、このような構成を採用することにより、画素信号線に伝達する画素信号は液晶セル駆動に要する信号レベルの $1/\alpha$ で済むようになるため、画素信号を電圧信号とした場合においても、振幅レベルを液晶駆動電圧の $1/\alpha$ に小さくできる分、画素信号線容量に消費される電力と、画素信号線駆動回路の電力が少なくて済む。従って、低消費電力化を図ることができる。

【0086】通常、画素容量に比べて信号線容量は2桁程度大きい。その信号線容量を駆動する画素信号のレベルを液晶セル駆動に要する信号レベルの $1/\alpha$ で済むようになることは、膨大な画素数を持つ画像液晶表示パネルにとって動画表示時の消費電力の大幅低減に寄与する。

【0087】（第4の具体例）図9に第4の具体例を示す。この具体例は、第3の具体例における増幅回路AMPをオペアンプで構成した例である。本具体例では、実際にオペアンプOPで増幅回路AMPを構成するため、オペアンプOPの反転側入力端子を抵抗 R_1 を介して接地し、さらにまた、当該反転側入力端子は抵抗 R_2 を介してオペアンプOPの出力端子に接続している。

【0088】オペアンプOPの非反転側入力端子はTFTスイッチ T_r のソース・ドレイン間を介して画素信号線 L_{bi} に接続され、TFTスイッチ T_r がオンの時に画素信号線 L_{bi} より画素信号の入力を受ける構成である。また、オペアンプOPの非反転側入力端子はメモリ容量 C_p を介して接地してあり、サンプリングスイッチであるTFTトランジスタ T_r のゲートは行走査線

(ゲート駆動線) L_{aj} に接続されている。また、オペアンプOPの出力側は液晶セルLCに接続され、その出力で当該液晶セルLCを駆動する構成である。なお、TFTトランジスタ Tr_1 は行走査線(ゲート駆動線) L_{aj} にゲート駆動信号が与えられる間、これをゲート信号として受けてオン状態になるサンプリングスイッチである。

【0089】このような構成の回路においては、画素信号線 L_{bi} により送られてきた画像信号は、TFTトランジスタ Tr_1 を介して画素メモリ容量 C_p に与えられ、保持されると共に、画素メモリ容量 C_p の保持した画素信号は増幅回路であるオペアンプOPを介して α 倍に増幅されて液晶セルLCに与えられ、これを駆動する。

【0090】このような構成によると、オペアンプOPによる増幅回路は、その増幅率 α は次式で表せる。すなわち、

$$\alpha = 1 + R_2 / R_1$$

であり、抵抗 R_1 、 R_2 の値によって、オペアンプOPによる増幅回路は増幅率 α が $1 + R_2 / R_1$ となる。つまり、画素信号のレベルの α 倍の増幅率を持たせる増幅回路は抵抗 R_1 、 R_2 を α が $1 + R_2 / R_1$ なる関係を持つように設定すれば実現でき、画素信号線に供給する画素信号を $1/\alpha$ にすることができる。

【0091】(第5の具体例) 図10に第5の具体例を示す。第5の具体例は図8の増幅回路AMPをTFTトランジスタ Tr_2 と抵抗 R_3 で構成したものであり、画素メモリ容量 C_p に保持されている信号分をTFTトランジスタ Tr_2 のゲート入力とし、このTFTトランジスタ Tr_2 のソース側を抵抗 R_3 を介して正極性の直流電源ラインに接続する。また、TFTトランジスタ Tr_2 のドレインは接地する。

【0092】このような構成において、画素メモリ容量 C_p に保持されている信号分を増幅回路であるTFTトランジスタ Tr_2 は α 倍の増幅率で増幅して出力し、液晶セルLCを駆動することになるが、この場合、TFTトランジスタ Tr_2 の相互コンダクタンスを g_m とすると、TFTトランジスタ Tr_2 の増幅率は $g_m \cdot R_3$ で表される。

【0093】つまり、画素信号のレベルの α 倍の増幅率を持たせる増幅回路は、増幅回路を抵抗 R_3 とTFTトランジスタ Tr_2 で構成する場合、抵抗 R_3 を α/g_m なる値に設定すれば良い。

【0094】以上、第3ないし第5の具体例は、各画素毎に画素信号を保持する画素メモリ容量 C_p と、この画素メモリ容量 C_p に保持されている信号分を増幅して液晶セルに与える増幅回路を持たせて、画素信号線に供給する画素信号のレベルを増幅回路の増幅率分、小さくして済むようにしたものである。しかし、この構成の場合、増幅回路は各画素毎にそれぞれ設けるので、画素数が膨大な数にのぼる液晶表示パネルでは、各画素の増幅回路

が常時、動作状態になるのは数が膨大なだけに不経済である。そこで、画素毎に、液晶表示駆動する必要のあるタイミングの時のみに、その増幅回路を動作状態にする構成として一層の省電力化を図るようにした技術を第6の具体例として次に説明する。

【0095】(第6の具体例) 図11に第6の具体例を示す。これは画素信号線 L_{bi} からの画素信号を増幅回路AMPで増幅した後に、サンプリングスイッチであるTFTトランジスタ Tr_1 を介して画素メモリ容量 C_p に与え、保持させるようにしたものであり、TFTトランジスタ Tr_1 のソース-ドレイン間を経て画素メモリ容量 C_p に与える構成である。

【0096】サンプリングスイッチであるTFTトランジスタ Tr_1 は、行走査線(ゲート駆動線、ゲート線) L_{aj} からゲート駆動信号が与えられる間、オンして増幅回路AMPの出力を画素メモリ容量 C_p に蓄えることになるが、増幅回路AMPの動作をゲート駆動信号に同期させてオン/オフできるようにするために、行走査線 L_{aj} からのゲート駆動信号にてスイッチングするスイッチ SW_p を設け、増幅回路AMPの電源をこのスイッチ SW_p で開閉制御するようにしたものである。

【0097】画素毎に増幅回路を設けた場合に、増幅回路の消費する静的消費電力は、全画素で消費されることになるため、第3ないし第5の具体例のように常時、各画素の増幅回路が動作状態にある構成とした場合には、膨大な画素数を持つ液晶表示パネルにとって、上記静的消費電力は非常に大きなものとなる。

【0098】そこで、図11の構成においては、サンプリングスイッチ Tr_1 の前段に設けて、画素信号線 L_{bi} により送られてきた画像信号は、この増幅回路AMPにて増幅した後、サンプリングスイッチ Tr_1 を介して画素メモリ容量 C_p に与え、ここに保持するようにすると共に、増幅回路AMPには当該増幅回路AMPの電源をオンオフ制御するための電源開閉スイッチ SW_p を設け、この電源開閉スイッチ SW_p は、行走査線 L_{aj} からのゲート駆動信号を受ける間、オン動作する構成とした。

【0099】このようにして、ゲート駆動信号が与えられた間のみ、増幅回路AMPが動作状態となるようにして、普段は増幅回路AMPは静的消費電力がないようにした。本具体例においては、電源開閉スイッチ SW_p は行走査線 L_{aj} からのゲート駆動信号により、オンオフ動作させるようにしているが、これはつぎのような理由による。

【0100】すなわち、増幅回路AMPが電源オフのとき、もし、サンプリングスイッチであるTFTトランジスタ Tr_1 がオンであれば画素メモリ容量 C_p に増幅回路AMPの零なる信号が蓄えられることになる。従って、このようなことがないように、電源開閉スイッチ SW_p は行走査線 L_{aj} からのゲート駆動信号にてスイッチングさせるようにして、TFTトランジスタ Tr_1 と同

期的に動作するようにしている。

【0101】本具体例では電源開閉スイッチSWpもTFTトランジスタTr1も、ゲート駆動信号を使用しているために、両者はオン/オフの動作が一致しており、電源開閉スイッチSWpがオフの期間はTFTトランジスタTr1により、画素メモリ容量Cpは増幅回路AMPの出力側と完全に遮断されているので、画素メモリ容量Cpに誤った信号が保持されることがないばかりか、画素信号をサンプリングホールドする時点のみに、増幅回路AMPを動作状態にする。

【0102】このように、自画素の画素信号の書き込み期間、つまり、自画素が選択されている間だけON（オン）となる電源開閉スイッチSWpを設けたことにより、当該画素が選択されている期間は増幅回路AMPは動作して消費電力が発生するが、その他の期間はオフとなって消費電力が発生せず、また、画素信号の保持期間は画素メモリ容量CpはTFTトランジスタで遮断されているので、画素メモリ容量Cpの保持内容の書き替りは防止できることから、電源開閉スイッチSWpをOFF（オフ）して増幅回路AMPを非動作とし、消費電力の発生を抑えることができ、しかも、画素メモリ容量Cpの保持内容が変わらないので、画素表示内容も変わらない。

【0103】そして、このようにしたことにより、増幅回路AMPが画素毎にあつても常時、増幅回路AMPに消費される電力はほとんどないので、表示画像内容の書き替えがない場合にはほとんど電力は消費されない構成となる。

【0104】以上、第3乃至第6の具体例においては、増幅回路を設けて液晶セルの駆動に当たっては画素信号を増幅して与える構成としたことで、画素信号駆動回路から各画素に伝達する画素信号のレベルを小さくできるようにして省電力化を図ったものであるが、動画像の場合、フレーム間の差信号を与えることで、画像の再生表示が可能であり、画素信号の画素信号線容量における駆動を抑えて省電力化を図ることが可能となる。その例を次に説明する。

【0105】（第7の具体例）図12に第7の具体例を示す。図12は、トランジスタTr3、Tr4により差動増幅回路を構成し、この差動増幅回路の一方のトランジスタTr3のゲートにはサンプリングスイッチであるTFTトランジスタTr1を介して画素信号を送り、差動増幅回路の他方のトランジスタTr4のゲートにはサンプリングスイッチであるTFTトランジスタTr2を介して画素信号を送り、前記一方のトランジスタTr3のゲート側に設けられた画素メモリ容量Cp1、前記他方のトランジスタTr4のゲート側に設けられた画素メモリ容量Cp2に与えてそれぞれ保持させる。

【0106】差動増幅回路の一方のトランジスタTr3の出力と他方のトランジスタTr4の出力は選択スイ

チSWexを介して選択切り替えして液晶セルLCに与える構成とする。

【0107】図12の構成は、画像信号が差動増幅信号で送られるシステムとした場合の例であるが、画像信号を差動増幅信号で送るためには画素信号線がそれぞれに必要な。そのため、2倍の画素信号線数になるが、差分をとるために、信号電圧自体は、さらに小さくなるので（1/2以下）消費電力をさらに低減することができる。

10 【0108】また、トランジスタTr3、Tr4により差動増幅回路を構成し、この差動増幅回路の一方のトランジスタTr3のゲートにはTFTスイッチTr1にて画素信号を送り、差動増幅回路の他方のトランジスタTr4のゲートにはTFTスイッチTr2にて画素信号を送り、前記一方のトランジスタTr3のゲート側に設けられた画素メモリ容量Cp1、前記他方のトランジスタTr4のゲート側に設けられた画素メモリ容量Cp2に与えてそれぞれ保持させるようにしたことから、逆極性の信号を同時に作ることができるので、選択スイッチSWexを設けるだけで、極性反転を画素内で行うことができる。つまり、通常の画素メモリ回路だけでは、保持できる画素信号は1種類の直流電圧信号のみであるから、この直流電圧信号を用いる以上は液晶セルは直流駆動を行わなければならないが、各画素毎に正極性、負極性の交流駆動可能な信号が存在するので、極性反転を行う場合でも、画素メモリ容量の内容を書き換える必要がなくなる。

20 【0109】（第8の具体例）図13に第8の具体例を示す。ここでの構成は図12により説明した第7の具体例で、各画素において、自画素が選択されているときだけ差動増幅回路が動作するスイッチを設けるようにした点に特徴がある。

30 【0110】トランジスタTr3、Tr4により差動増幅回路を構成し、この差動増幅回路の一方のトランジスタTr3のゲートにはサンプリングスイッチであるTFTトランジスタTr1を介して画素信号を送り、差動増幅回路の他方のトランジスタTr4のゲートにはサンプリングスイッチであるTFTトランジスタTr2を介して画素信号を送り、前記一方のトランジスタTr3のゲート側に設けられた画素メモリ容量Cp1、前記他方のトランジスタTr4のゲート側に設けられた画素メモリ容量Cp2に与えてそれぞれ保持させる。

40 【0111】差動増幅回路の一方のトランジスタTr3の出力と他方のトランジスタTr4の出力は選択スイッチSWexを介して選択切り替えして液晶セルLCに与える構成とする。また、差動増幅回路の動作をオン/オフ制御するために、差動増幅回路の定電流源には開閉スイッチSWsを介して電流をオン/オフ制御する構成とする。開閉スイッチSWsは自画素が対応する行走査線
50 （ゲート駆動線、ゲート線）Lajからのゲート駆動信号

にて自画素の選択時のみ閉じる構成とする。

【0112】この構成によれば、自画素が選択されるときだけ差動増幅回路が動作することになり、差動増幅回路での普段の電力消費をなくして低消費電力化を図ることができるようになる。

【0113】（第9の具体例）図14に第9の具体例を示す。図14に示す第9の具体例は、第8の具体例における選択スイッチSWexの選択出力側段に、リセット信号を与えるためのトランジスタTrRSTを設けたものである。すなわち、第8の具体例では差動増幅回路の一方のトランジスタTr3の出力と他方のトランジスタTr4の出力は選択スイッチSWexを介して選択切り替えして液晶セルLCに与える構成であるが、さらに選択スイッチSWexの選択出力側段を接地するためのトランジスタTrRSTを介してリセット信号によりリセット動作を行えるようにした構成とした。

【0114】このような図14の構成では、差動トランジスタTr3、Tr4に流れる電流を差動画像信号により制御して変えることにより、液晶容量に蓄積される電荷、最終的には電圧を変えることができる。しかし、電流を最終的に電圧に変換しているため、画素メモリ容量Cp1、Cp2に蓄積する電荷をリセットする必要がある、そのためにリセット信号を受ける間、選択スイッチSWexの選択出力側段を接地するようにしたトランジスタTrRSTが具備されている。

【0115】つまり、書き換える時はそれに先駆けてリセットし、書き替え対象の画素メモリ容量Cp1、Cp2の電荷を零にしてから、電流と流れる時間を制御して最終的に画素信号線に与えられる信号に対応した駆動電圧を得ることができるようにした。

【0116】この考え方をさらに進めると、信号線から電流を入力して画素内で電圧に変換する方法も考えられる。

【0117】以上第3ないし第9の具体例によれば、画素信号を電圧信号とした場合に、画素信号電圧を低くすることができ、従って、画素信号を伝達する画素信号線の容量を駆動する電圧を当該画素信号電圧を低くすることで低くできることから、画素信号線容量駆動に消費される電力を大幅に減らすことができる。また、液晶の駆動電圧が大きくなった場合でも、信号線電圧は小さくすることができるので、将来のドライバが低電圧化（例えば、1[V]など）された場合でも、画素部のみ回路構成を変える事により、同じドライバをそのまま使用することができる。

【0118】〔液晶表示装置の低消費電力化技術（III）〕次に、画素メモリ付き液晶表示装置において静止画ばかりでなく、動画表示時においても静的消費電力を低減する別の例をとって差分信号駆動と電流駆動を併用する構成とすることにより、一層の低消費電力化を図るようにした例を説明する。ここでは、フレーム間差分電圧

を利用する方式を説明する。

【0119】液晶表示パネルの消費電力の決定要因は画素信号線容量Csig、画素信号の書き替え周波数fsig、画素信号電圧Vsigに尽きる。液晶表示パネルは基本的に図15に示すように、信号線駆動回路（画素信号線駆動回路）11に繋がる画素信号線Lb1～Lbmと走査線駆動回路（ゲート線駆動回路）12に繋がる行走査線La1～Lanによってそれぞれ画像信号（画素信号）と行走査信号（ゲート駆動信号）が伝達され表示されるが、この時、画素信号線の容量Csigと、行走査線（ゲート線）の容量Cgとを駆動するために、それぞれ

$$P_{sig} = C_{sig} \times f_{sig} \times V_{sig}^2、$$

$$P_g = C_g \times f_g \times V_g^2$$

の電力が消費されることになるが、通常、 $f_g \ll f_{sig}$ であるため、画素信号線での消費電力低減が重要である。画素信号線での消費電力低減には容量Csig、周波数fsig、電圧Vsigを下げれば良いが、動画の場合は、画素信号を与える周波数である書き替え周波数fsigを静止画のように0にすることはできず、複雑な画像であれば駆動する電力も増加してしまう。つまり、画素メモリ付きLCDは静止画の時に駆動周波数fsigを低くでき、顕著な静的消費電力低減効果を得ることができる技術であるが、動画表示になると駆動周波数fsigを上げる必要があり、全体の消費電力は増加する。

【0120】このように、表示対象が動画であれば駆動周波数fsigを上げざるをえないが、動画の次のような特徴点に着目すると低消費電力化が可能になる。

【0121】すなわち、TV信号やパソコン画面等の画像信号の特徴として、動きの激しいシーンや画面の切り替え時を除いた大部分のシーンでは現フレームの信号は前フレームの信号と似た信号という点があげられる。従って、通常の画像では現フレームの信号と前フレームの信号の差分をとると、0に非常に近い値になる。この特徴を利用し、差分信号（0[V]前後）から画像信号を再生することで、信号線容量Csigの充放電に必要な電圧振幅Vsigを低減し、信号線での消費電力Psigの低減を実現することが可能となる。画像信号の再生方法は、1フレーム前の信号を画素内で保存しておき、その信号と差分信号とを加算することで現フレームの画像が構成できる。

【0122】従って、差分信号から画像信号を再生する装置の構成として、現フレームの画像信号と前フレームの画像信号とを比較し、差分信号のみを画素に送る信号処理回路と、画素内に前記前フレーム信号を保存するメモリ回路と前記前フレーム信号と前記差分信号を加算する加算回路を有することを特徴とする画像表示装置を提供することで、信号線に供給する電圧Vsigを低くでき、装置の低消費電力化が可能となる。

【0123】本発明の第10の具体例では、動画の低消費電力化のため、2フレーム間の差分信号を画素信号と

して送るようにすることにより、画素信号電圧 V_{sig} を低減する手段を提供する。第 1 の手段としてフレーム間差分電圧を信号線に供給し、これより本来の画像を表示することができるようにする液晶表示装置の例を説明する。

【0124】また、第 11 の具体例では差分信号として受けた画素信号を用いて画像表示するにあたり、第 2 の手段として画素内に積分器を構成して本来の画像を表示することができるようにする液晶表示装置の例を説明する。従来の画素信号線の駆動方法は上記のように、画素信号線駆動ドライバで所望の電圧を出力して画素信号線を充電し、その後、サンプリングスイッチのゲートがオンされた画素に画素信号線駆動ドライバ出力電圧と等しい電圧を供給する方式である。

【0125】これに対し、第 11 の具体例では画素電極電位を電流によって制御する手段を提供する。この場合、画素電極電位 V_{pix} は画素容量 C_{pix} と画素電極に流れ込む電流値 I_{in} および電流が流れる時間 t によって制御される。すなわち、

$$V_{pix} = (I_{in} \times t) / C_{pix} \quad \dots(101)$$

と表される。信号線駆動ドライバ出力 V_{drv} は T F T のオン抵抗 R_{on} と電流値 I_{in} によって決定されるが、液晶表示パネルにおいては各画素（液晶セル）毎の画素メモリの容量値が 1 [pF] 程度であり、従って、駆動に際して必要とする電荷量が小さいため、電圧制御の場合に比べて低電圧で済む。電流制御型の構成として、1 画素毎に積分回路を内蔵する T F T アレイ構造を提供する。積分回路出力は積分器容量の電荷量を電流で制御し、積分回路出力電位を画素電極に供給する。ゲートオン時間を T_{gon} 、T F T のオン抵抗を R_{on} 、積分器容量を C_f 、積分器出力すなわち画素電極電位を V_{pix} とすると、(101) 式から画素信号線に印加する画素信号電圧 V_{sig} は、

$$V_{sig} = ((C_f \times R_{on}) / T_{gon}) V_{pix} \quad \dots(102)$$

と表せる。ここで $C_f = 1$ [pC]、 $R_{on} = 1$ [MΩ]、 $T_{gon} = 35$ [μsec] とすると、 $V_{pix} = 5$ [V] にするための画素信号電圧 V_{sig} は約 140 [mV] と電圧制御方式に比べて電流制御方式では画素信号線に送る画素信号の電圧は 1/35 で済む。10 インチ V G A (640 × 480 画素) クラスの薄膜トランジスタ液晶表示装置 (T F T - L C D) では信号線容量 C_{sig} は 100 [pF] 程度ある。

【0126】この時の消費電力は、電圧制御方式が約 70 [mW]、電流制御方式が約 601 [μW] となり、大幅な低消費電力化が実現できる。大画面高精細化した場合、信号線容量が増加するため、さらに有効な方式であるといえる。

【0127】(第 10 の具体例) 具体的に説明する。図 16 は本発明の第 10 の具体例に係わる画像表示装置のブロック図である。図 16 に示す画像表示装置は現フレ

ームの画像信号と前フレームの画像信号とを比較し、差分信号のみを画素（液晶セル）に送る信号処理回路部 201 と、画像表示部 202 から構成される。

【0128】画像表示部 202 は複数画素をマトリックス配列した構成の液晶表示パネルであるが、各画素 $P_{1,1} \sim P_{m,n}$ にそれぞれ、前フレーム信号を保存するメモリ回路と、前フレーム信号と差分信号を加算する加算回路とを有している。

【0129】信号処理回路部 201 はフレームメモリ 211、加算回路 212、213、制御信号発生回路 214 で構成されている。画像表示部 202 は $m \times n$ 個の画素 $P_{1,1} \sim P_{m,n}$ 、 m 本の画素信号線 $S_1 \sim S_m$ 、 n 本の行走査線 $G_1 \sim G_n$ 、対向電極 S_{com} 、信号線駆動回路 221、走査線駆動回路 222、対向電極電源 223、バイアス電源 224、で構成されている。液晶表示パネルにおける画素を構成する液晶セルは対向電極と画素駆動電極との間に液晶材料を挟んだ構成であり、対向電極と駆動電極の間に印加する電圧により電界をかけ、画素濃度を変化させて表示に供する。

【0130】対向電極電源 223 は、この対向電極 S_{com} に与える電圧を供給する電源であり、また、信号線駆動回路（画素信号線駆動回路）221 は画素信号を、所定の画素に与えるために、画素信号線に出力するためのもので、画素信号線駆動用の回路であって、信号処理回路 201 からの差分信号を受けて画素信号として各画素に分配する。行走査線駆動回路 222 は行走査用の駆動信号（ゲート駆動信号）を出力する回路である。

【0131】さらに各 1 つの画素 $P_{1,1} \sim P_{m,n}$ は図 17 に示すようにサンプリングスイッチである T F T トランジスタ 231、1 フレーム前の画像の画素信号を記憶保持するためのメモリ回路 232、メモリ回路 232 の保持している画素信号と現フレームでの画素信号を加算する加算回路 233、この加算回路 233 で加算されて復元された現フレームの画像信号を受ける液晶セルの画素駆動電極 234、そして、液晶セルの対向電極 235、液晶 CLCD、液晶セルの画素メモリである補助容量 C_s で構成されている。液晶 CLCD は画素駆動電極 234 と対向電極 235 との間に挟まれた液晶材料である。

【0132】行走査線 G_m にゲート駆動信号が与えられ、T F T トランジスタ 231 はオンとなり、画素信号線 S_m に送られている画素信号を、このオン状態にある T F T トランジスタ 231 を介してメモリ回路 232 に取り込むが、加算回路 233 が、メモリ回路 232 の前段にあり、メモリ回路 232 に保持されていた 1 フレーム前の画素信号をこの加算回路 233 で加算してメモリ回路 232 と補助容量 C_s に与え、これらに保持させる。補助容量 C_s の保持信号が画素電極 234 に与えられて、表示に供させ、メモリ回路 232 は前フレームの画像の画素信号として動画像のフレーム毎に更新記憶保持させる。

【0133】信号処理回路部201は上述したようにフレームメモリ211、加算回路212、213、制御信号発生回路214で構成されているが、その詳細ブロック図は図18に示す如きである。すなわち、フレームメモリ211は画素毎に指定されたアドレスに画像信号データを記憶する装置で1フレーム前の画像の各画素のデータが記憶されている。加算回路213は表示しようとする画像信号データ $Sg(m)$ とフレームメモリ211から出力された1フレーム前のデータ $Sg(m-1)$ とを比較し、その差分信号 $D(m)$ を出力する。

【0134】すなわち、

$$D(m) = Sg(m) - Sg(m-1) \quad \cdots(103)$$

と表すことが出来る。差分信号 $D(m)$ は画像表示部202に出力されると共に、加算回路213で1フレーム前の画像データ $Sg(m-1)$ と加算されて現フレームの画像信号 $Sg(m)$ を再生し、フレームメモリ211に入力される。再生された現フレームの画像信号 $Sg(m)$ は、1フレーム前のデータ $Sg(m-1)$ が格納されていたアドレスに格納され、データを更新する。

【0135】なお、信号処理回路201の差分信号出力 $D(m)$ はデジタル信号を想定しているが、フレームメモリ211の前後にA/D変換器、D/A変換器を設けてアナログ入出力系のシステムにする事も可能である。

【0136】制御信号発生回路213はフレームメモリ211のRead/Write(読み出し/書き込み)を制御するとともに、信号線駆動回路21および走査線駆動回路222の制御信号(スタート信号とクロック信号) $Ssig$ 、 $Sgate$ を発生している。画像表示部202は信号処理回路1からの差分信号 $D(m)$ および制御信号 $Ssig$ 、 $Sgate$ を入力し、画像を表示する。

【0137】図19に、画像表示部202の詳細なブロック図を示す。

【0138】画素信号線 Sm は信号線駆動回路221と接続しており、画素信号線 Sm にはサンプリングスイッチであるTFトランジスタ231のソース電極が接続されている。行走査線 Gn も同様に、走査線駆動回路222と接続しており、行走査線 Gn にはTFトランジスタ231のゲート電極と接続している。さらにTFトランジスタ231のドレイン電極はメモリ回路232および加算回路33に接続しており、加算回路233の出力は画素駆動電極234と接続している。画素駆動電極234と対向電極235との間には液晶CLCDが封止されている。

【0139】対向電極235は対向電極電源223により、共通電位であるVCOMの電位に固定されている。補助容量CSの一方の電極もVCOMの電位に固定されている。また、メモリ回路232、加算回路233の電源は電源線Vmnを通してバイアス電源224から供給されている。

【0140】図20(a)に信号線駆動回路221の回

路構成を、また、図20(b)に走査線駆動回路222の回路構成をそれぞれ示す。

【0141】信号線駆動回路221は信号処理回路部201からの差分信号 $D(m)$ および制御信号 $Ssig$ を入力する。 $Ssig$ (フレーム毎に同期して出力されるスタート信号 $Ssst$ 、所定のレートクロックであるクロック信号 $Sclk$)によってシフトレジスタ241を動作させ、ストア回路242で差分信号 $D(m)$ を取り込む。ストア回路242で取り込んだ差分信号 $D(m)$ の値に対応した電圧を信号変換回路43は出力し、信号線 Sm を充電する。

【0142】走査線駆動回路222はシフトレジスタ244と、このシフトレジスタ244の各ビット位置対応の出力にてオン/オフ動作するシフトレジスタ構成ビット数対応の数のスイッチ245よりなり、スイッチ245がオンとなっている行走査線 Gn ($n=1,2,3,\sim$)に電源より所定の電圧 Vgg を与える構成である。

【0143】走査線駆動回路222はゲート信号発生回路から与えられるスタート信号 $Sgst$ およびクロック信号 $Sgclk$ からなる信号 $Sgate$ を受け、スタート信号 $Sgst$ をシフトレジスタ244に入力し、クロック信号 $Sgclk$ にてシフトレジスタ244を動作させ、シフトさせることで各スイッチ245を動作させる。各スイッチ245のうち、オンになったスイッチ245に接続されている走査線 Gm が高電位(電圧 Vgg)となる。高電位となった行走査線に接続しているTFトランジスタ231はオンになり、信号線駆動回路221の信号 $D(m)$ は画素P内の加算回路233に取り込まれる。加算回路233に取り込まれた信号 $D(m)$ とメモリ回路232に予め蓄積されていた前フレームの信号 $Sg(m-1)$ とを加算し、現フレームの信号 $Sg(m)$ が構成される。すなわち、 $Sg(m) = Sg(m-1) + D(m) \quad \cdots(104)$

という処理がなされる。この加算回路233とメモリ回路232で構成される回路は信号処理回路201と正反対の処理を行っており、現フレームの信号 $Sg(m)$ は完全に復元される。完全に復元された現フレームの信号 $Sg(m)$ を画素電極234に供給することにより、画像表示ができる。

【0144】上述のように差分信号 $D(m)$ のみを画素に供給することで画像表示ができる。差分信号 $D(m)$ は通常の画像では0近辺のため、信号線 Sm の充放電をほとんど必要としない。このため、信号線 Sm で消費する電力が小さくなり、低消費電力化が実現できる。

【0145】(第11の具体例)図21は本発明の第11の具体例に係わる画像表示装置の構成を示すブロック図である。なお、図16と同一部分には同一符号を付してその詳しい説明は省略する。

【0146】図21の画像表示装置は、液晶表示パネルの画素内に、つまり、画像表示装置202の画素内に積分回路251を内蔵し、積分回路251に流れ込む電流

量によって画素電圧を制御することを特徴としている。

【0147】積分回路251の具体的な例として、TFTトランジスタ231と演算増幅回路252とコンデンサ253の構成を示している。演算増幅回路252の負極端子はTFTトランジスタ231のドレイン電極と接続している。また演算増幅回路252の正極端子はグランド（接地）に接続している。

【0148】コンデンサ253は演算増幅回路252の出力端子 - 負極端子間に挿入されており、フィードバック・ループを構成している。演算増幅回路252の出力端子は画素電極234に接続しており、演算増幅回路252の出力電圧が画素電極に供給される。また演算増幅回路252には電源線Vmnにより、電源が供給されている。

【0149】サンプリングスイッチとして用いられるTFTトランジスタ231の代表的な電圧・電流 ($V_g - I_d$) 特性を図22に示す。通常TFT-LCDを駆動する場合、ゲート電圧 V_g は、TFTトランジスタのオン時が $V_g = 20$ [V]程度、オフ時が $V_g = -5$

[V]程度（ソース - ドレイン間電圧 $V_{ds} = 15$ [V]）に設定している。

【0150】TFTトランジスタがオンの時、ドレイン電流 I_d は 10^{-5} [A]程度であるため、TFTトランジスタは $R_{on} = 1.5$ [M Ω]の抵抗とみなすことができる。従って、抵抗（TFTトランジスタ231）、演算増幅回路252、コンデンサ253によって積分回路51が構成されることになる。

【0151】TFTトランジスタ231には信号線駆動回路221出力 - 演算増幅回路252負極端子間電圧 ($V_{sig} - V(-)$; ここでは $V(-) = 0$ [V]) が印加され、電流 $I_{in} (= V_{sig} / R_{on})$ が流れる。

【0152】積分回路251の出力 V_{pix} （すなわち、画素電極電位）はコンデンサ53に蓄積される電荷量 Q とコンデンサ容量 C_f によって決定される。また、電荷量 Q はTFTトランジスタ231のオン時間 T_{gon} と電流 I_m で求められる。積分回路251の出力 V_{pix} は、 $V_{pix} = (I_{in} \times T_{gon}) / C_f \dots (105)$

によって求められる、これは電流制御型の駆動方式とみなせる。ここで、 T_{gon} 、 C_f はTFT-LCDの設計条件によって決定されるため、電流 I_{in} 、すなわち、信号線駆動回路（画素信号線駆動回路）221出力 V_{sig} により、積分回路251出力を制御する。例えば、 $V_{pix} = 5$ [V]にする場合、 $C_f = [pF]$ 、 $R_{on} = 1.5$ [M Ω]、 $T_{gon} = 35$ [μsec]とすると、 $V_{sig} = R_{on} \times I_{in} = 214$ [mV]となる。

【0153】以上のように、各画素内に積分回路251を設け、この積分回路251に流れる電流値によって画素電極電位を制御することで、画素信号線に印加する電圧を低減し、画素信号線での消費電力を低減することが

できる。

【0154】なお、この第11の具体例の構成を第10の具体例に適用することも可能である。すなわち、第10の具体例におけるメモリ回路232と加算回路233を積分回路251とし、差分信号のみを積分回路251に供給する。積分回路251は前フレーム信号の電荷をコンデンサ253に保存しており、差分信号のみを加算することで現フレーム信号が構成できる。

【0155】（第12の具体例）図23は第12の具体例に係わる画像表示装置の画像表示部構成を示すブロック図である。なお、図16と同一部分には同一符号を付してその詳しい説明は省略する。

【0156】液晶表示パネルである図23の画像表示部は、各画素内に積分回路251を内蔵し、積分回路251に流れ込む電流量によって画素電圧を制御することを特徴としている。

【0157】図23においては積分回路251の具体例としてTFTトランジスタ231と演算増幅回路252とコンデンサ53とスイッチ254で構成した場合の例を示している。サンプリングスイッチであるTFTトランジスタ231はそのゲートを行走査線 G_n に接続しており、行走査線 G_n より行駆動信号を受けることによってオン状態になると、ソース - ドレインを介して画素信号線 S_m より画素信号を取り込む。演算増幅回路252はその出力側と反転側入力端子との間にコンデンサ253が接続され、非反転側入力端子は接地されている。そして、コンデンサ253には並列にスイッチ254が接続されて、このスイッチ254を閉じることにより、コンデンサ253の充電電荷を放電することができるようにしてある。コンデンサ253による帰還回路を有した演算増幅回路252は積分回路部を構成し、TFTトランジスタ231は画素信号を取り込むスイッチの役割を果たす。

【0158】このような構成の積分回路251における演算増幅回路252からの出力は液晶セルにおける駆動電極234に印加され、液晶CLDCの配向を変えて階調表示する。

【0159】本具体例の基本動作は第11の具体例と同様である。本具体例ではコンデンサ253とスイッチ254を並列接続し、一定期間毎にスイッチ254をショートさせ、コンデンサ253に蓄積された電荷を放電させる構成となっている。これにより、前フレーム信号の電荷を放電させ、1フレーム毎に正規の画素信号電荷を蓄積することができ、誤差のない信号を表示できる。

【0160】また、本具体例の手法は第10の具体例に適用することにより効果的である。すなわち、一定（例えば、1秒に1回）の割合でスイッチ254を閉路させて正規の画像信号を供給し、その他の期間は差分信号を供給する。差分信号のみを供給した場合、誤差が発生すると永久に後のフレームに影響を及ぼす。この影響を解

消するためには、一定の割合で正規の画像信号を供給することが必要である。その場合、本具体例の構成が有効である。

【0161】以上は積分回路をアナログ回路構成としたものであるが、これをデジタル構成にするには次の第13の具体例のようにする。

【0162】(第13の具体例) 図24は本発明の第13の具体例に係わる画像表示装置の画像表示部における画素部分のブロック構成図であり、マトリックス配列される複数の画素それぞれにおいて、積分回路をデジタル化したもので、図24の如く構成する。

【0163】デジタル化するために、図24の構成においてはコンデンサの代わりにメモリ回路としてのシフトレジスタ261を使用し、加算回路262の前段にA/D変換器263を、また、加算回路262の後段にはD/A変換器264を挿入している。

【0164】TFTトランジスタ231はそのゲートを行走査線Gnに接続してあり、行走査線Gnより行駆動信号を受けることによってオン状態になると、ソース・ドレインを介して画素信号線Smより画素信号を取り込む。

【0165】A/D変換器264はこの画素信号をデジタルデータに変換し、加算器262に与える。そして、この加算回路262にてシフトレジスタ261の保持データと加算してD/A変換器264に与える。このとき、加算回路262の出力する加算データはシフトレジスタ261にも与えられ、シフトレジスタ261はこれを取り込んで保持する。

【0166】D/A変換器264では加算回路262からの加算データをアナログ信号に変換して自画素液晶セルにおける画素駆動電極234に与え、液晶CLCDの配向を変えて階調表示する。

【0167】本具体例で使用している方式は、動画像におけるフレーム間の信号を差分信号で送る方式であって、1フレーム前の信号を画素内で保存しておき、その信号と差分信号とを加算することで現フレームの画像を構成するものであり、従って、シフトレジスタ261で保持して次の差分信号を取り込む際に、シフトして加算器262に与えることで1フレーム前の信号を現フレームの信号に加算して現フレームの再生と画像表示に供することができる。この場合も、上記具体例と同様の効果を有している。

【0168】以上のように、第10乃至第13の具体例によれば、アクティブマトリックス型表示装置において、現フレームの画像信号と前フレームの画像信号とを比較し、差分信号のみを画素に送る信号処理回路を設けると共に、各画素内にはそれぞれに設けられ、前記前フレーム信号を保存するメモリ回路と、前記前フレーム信号と前記差分信号を加算する加算回路を有する構成とするか、または、画素内に積分器を有する構成とすること

により、画素信号線に供給する信号を現フレームと前フレームの差分信号として送り、この差分信号を前フレームの信号と加算して現フレームの画像の画素に対応の信号に復元し、これを液晶セルに与えて液晶セルを駆動するようにした。画素信号線に供給する信号を現フレームと前フレームの差分信号とした場合、動きの激しいシーンや画面の切り替え時を除いた大部分の動画像において信号振幅は0[V]前後で済むことから、画素信号を電圧信号とした場合、その振幅を大幅に小さくすることが可能となる。また画素電極電位を電流で制御することでも画素信号線駆動電圧は低減できる。

【0169】従来は信号線を5[V]の振幅で駆動していたのに対し、差分信号駆動や電流制御駆動ならばせいぜい数100[mV]程度の振幅で十分に画像表示ができる。そして、消費電力は電圧の2乗に比例するため、差分信号駆動や電流制御駆動とすることで、画素信号線で消費する電力は数10分の1から数百分の1に大幅に低減できる。

【0170】

【発明の効果】以上詳細に説明したように、第1および第2の具体例にかかる本発明の液晶表示装置によれば、液晶表示パネルに与える画素信号を電圧信号ではなく、電流信号として扱うようにしたこと、液晶表示パネルの画素信号線容量を駆動する電圧をほぼ零とすることができるので、この容量を駆動するために従来発生していた消費電力をほぼ零にすることができる。その結果、消費電力を大幅に減らす事ができる。また、駆動時間が短くなり、高速に駆動しなければならない場合に、信号線容量とその抵抗の時定数に制限されることなく高速に駆動信号を伝達する事ができる。さらに、電流駆動を信号線のみならずモジュール全体(モジュール入力から電流入力にするなど)に広げることにより、より高速で、低消費電力化ができる。

【0171】また、第3乃至第9の具体例にかかる本発明の液晶表示装置によれば、各画素の側で画素信号を増幅して用いるようにしたこと、信号電圧を小さくすることができ、従って、信号線容量を駆動する電圧を低くすることができるので、消費電力を大幅に減らすことができる。また、液晶の駆動電圧が大きくなった場合でも、信号線電圧は小さくすることができるので、将来のドライバが低電圧化された場合でも、画素部のみ回路構成を変える事により、同じドライバを使うことができる。

【0172】また、第10乃至第13の具体例にかかる本発明の液晶表示装置によれば、信号線に供給する信号を現フレームと前フレームの差分信号とした場合、動きの激しいシーンや画面の切り替え時を除いた大部分の動画像において信号振幅は0[V]前後で済み、振幅を大幅に小さくする事が可能となる。また画素電極電位を電流で制御することでも画素信号線駆動電圧は低減でき

る。

【0173】従来は信号線を5[V]の振幅で駆動していたのに対し、本発明のように差分信号駆動や電流制御駆動とするならば、せいぜい数100[mV]程度の振幅で十分に画像表示ができる。消費電力は電圧の2乗に比例するため、画素信号線で消費する電力は数10分の1から数百分の1に大幅に低減できる。

【図面の簡単な説明】

【図1】本発明を説明するための図であって、本発明の基本的なコンセプトを示す要部構成の概念図。

【図2】本発明を説明するための図であって、本発明の第1の具体例の液晶表示装置の全体的な構成を示すブロック図。

【図3】本発明を説明するための図であって、本発明の第1の具体例におけるドライバ構成を示す図。

【図4】本発明を説明するための図であって、本発明の第1の具体例におけるうドライバの出力回路構成を示す図。

【図5】本発明を説明するための図であって、本発明の第1の具体例の1画素構成を示した図。

【図6】本発明を説明するための図であって、本発明の第2の具体例におけるドライバの出力回路構成を示す図。

【図7】完全D/A方式による従来のドライバ構成を示す図。

【図8】本発明を説明するための図であって、本発明の第3の具体例を説明する図。

【図9】本発明を説明するための図であって、本発明の第4の具体例を説明する図。の構成を示した図

【図10】本発明を説明するための図であって、本発明の第5の具体例を説明する図。

【図11】本発明を説明するための図であって、本発明の第6の具体例を説明する図。

【図12】本発明を説明するための図であって、本発明の第7の具体例を説明する図。

【図13】本発明を説明するための図であって、本発明の第8の具体例を説明する図。

【図14】本発明を説明するための図であって、本発明の第9の具体例を説明する図。

【図15】液晶表示パネルの基本的構成を示す図。

【図16】本発明を説明するための図であって、本発明の第10の具体例に係わる画像表示装置のブロック図。

【図17】本発明を説明するための図であって、本発明の第10の具体例における画素Pの構成例を示す図。

【図18】本発明を説明するための図であって、本発明の第10の具体例における信号処理回路部201の詳細な構成例を示すブロック図。

【図19】本発明を説明するための図であって、本発明の第10の具体例における画像表示部の詳細な構成例を示すブロック図。

【図20】本発明を説明するための図であって、本発明の第10の具体例における信号線駆動回路221、走査線駆動回路222の回路構成を示す図。

【図21】本発明を説明するための図であって、本発明の第11の具体例に係わる画像表示装置の構成例を示すブロック図。

【図22】本発明を説明するための図であって、TFTの代表的な電圧-電流(Vg-Id)特性を示す図。

10 【図23】本発明を説明するための図であって、本発明の第12の具体例に係わる画像表示装置の構成例を示すブロック図。

【図24】本発明を説明するための図であって、本発明の第13の具体例に係わる画像表示装置の構成例を示すブロック図。

【図25】液晶表示装置の概略的な回路構成例を示す図。

【図26】従来例を説明するための図。

【符号の説明】

10, 104…液晶表示パネル

20 11, 201…信号処理回路部

211…フレームメモリ

12, 13, 83, 62…加算回路

14…制御信号発生回路

101…デジタル信号処理回路

102…電流駆動信号線ドライバ

103…タイミング制御回路

105…ゲート線ドライバ

221…信号線駆動回路

222…走査線駆動回路

30 223…対向電極電源

224…バイアス電源

231…TFTトランジスタ

232…メモリ回路

234…画素電極

235…対向電極

241, 244, 261…シフトレジスタ

242…ストア回路

243…信号変換回路スイッチ

261…積分回路

40 252…演算増幅回路

253…コンデンサ

254…スイッチ

263…A/D変換器

264…D/A変換器

R1, R2, R3…抵抗

OP…オペアンプ

AMP…増幅回路

SWp…電源開閉スイッチ

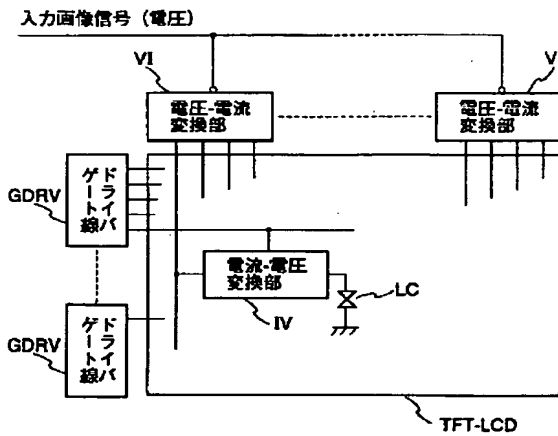
SWex…選択スイッチ

50 SWs…開閉スイッチ

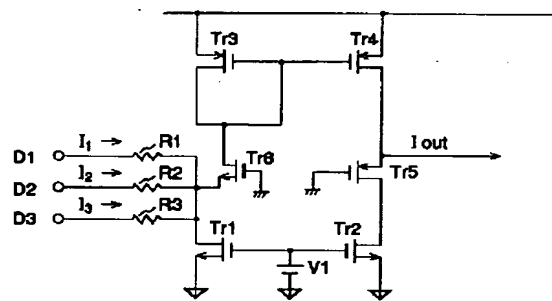
$P_{1,1}, \sim P_{m,n}$ …画素
 S_m …信号線
 V_{mn} …電源線
 $CEL, LC, CLCD$ …液晶 (液晶セル)
 C_s …補助容量

C_p …画素メモリ容量
 $D(m)$ …差分信号
 $Sg(m)$ …現フレーム信号
 $Sg(m-1)$ …前フレーム信号

【図 1】

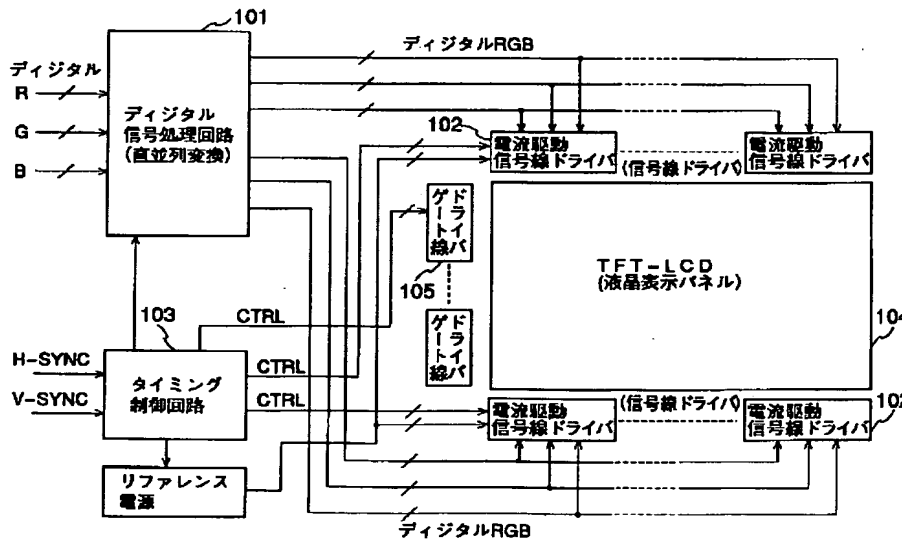


【図 4】



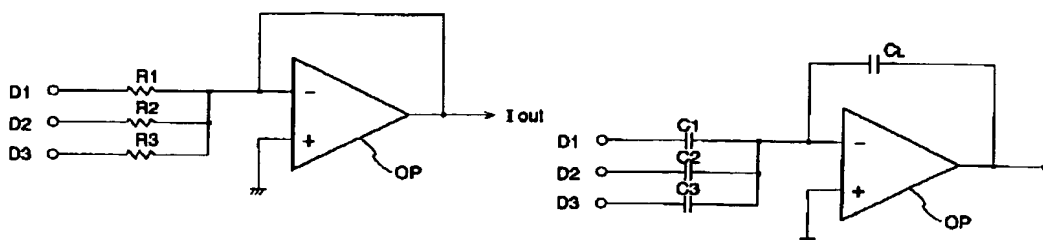
【図 5】

【図 2】

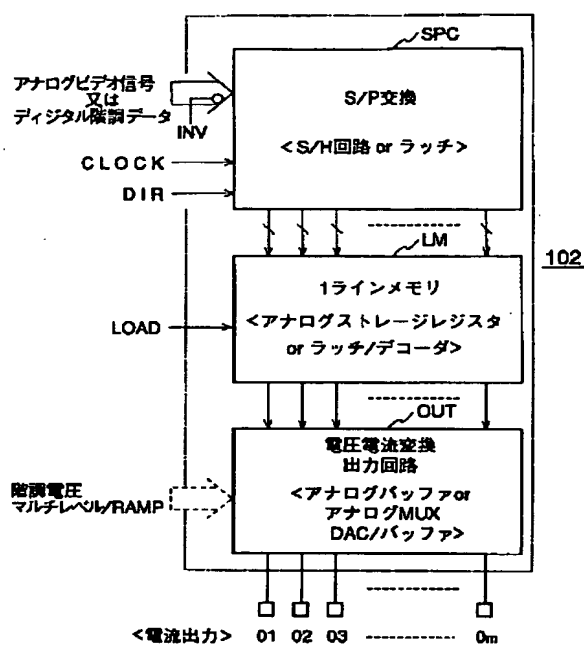


【図 6】

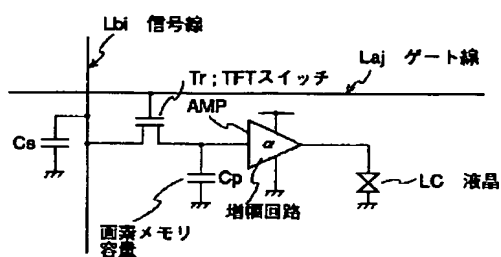
【図 7】



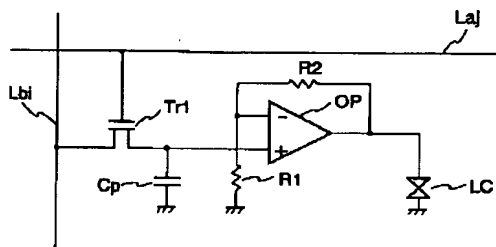
【図 3】



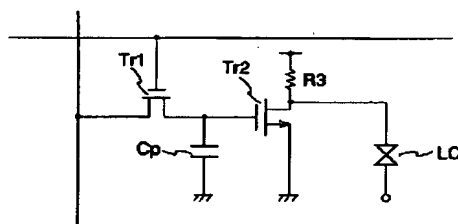
【図 8】



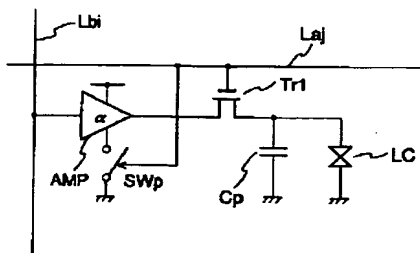
【図 9】



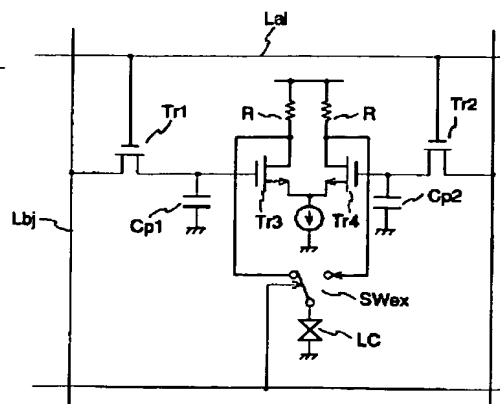
【図 10】



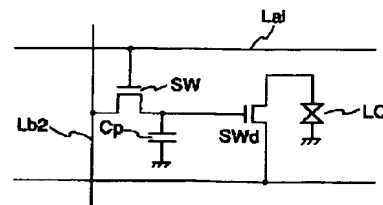
【図 11】



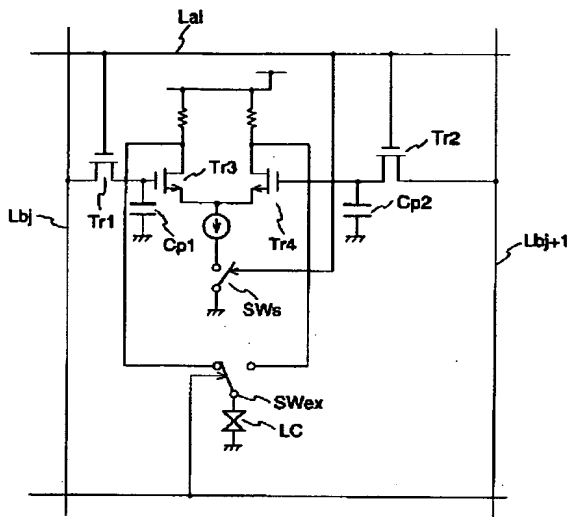
【図 12】



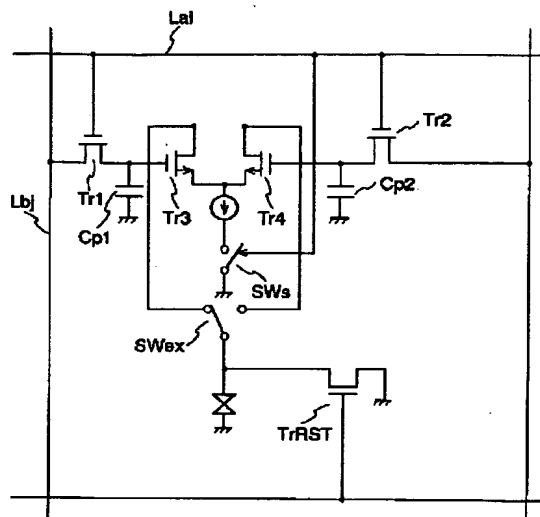
【図 26】



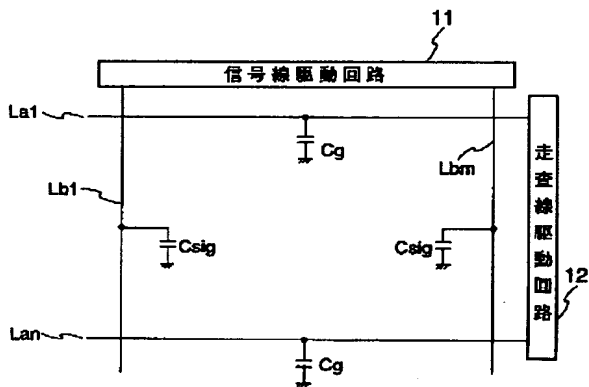
【図 13】



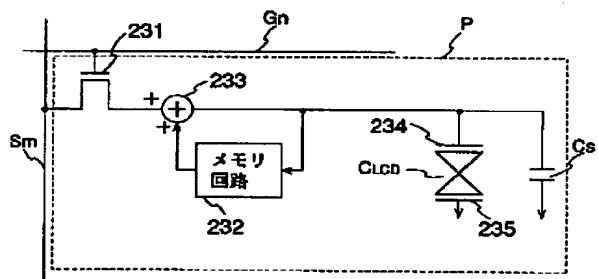
【図 14】



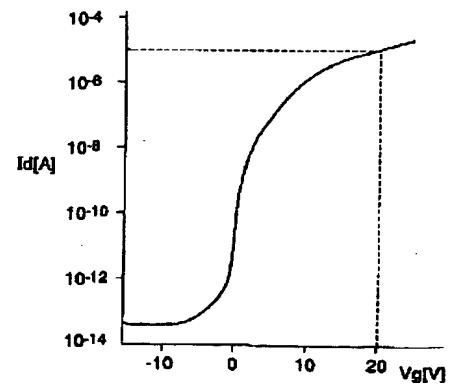
【図 15】



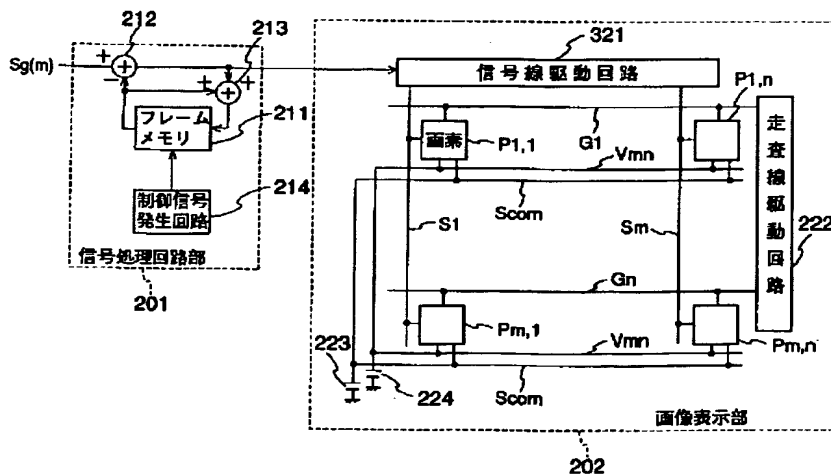
【図 17】



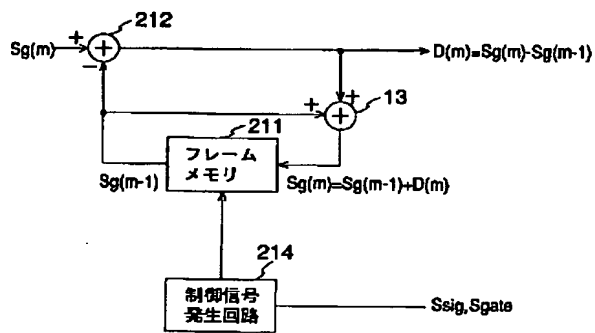
【図 22】



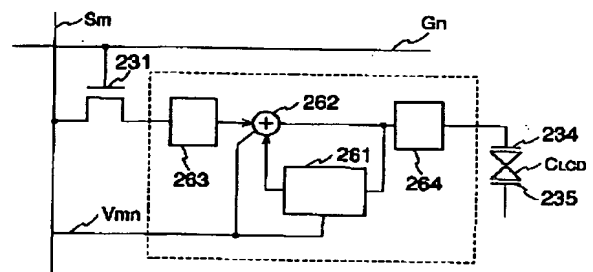
【図 16】



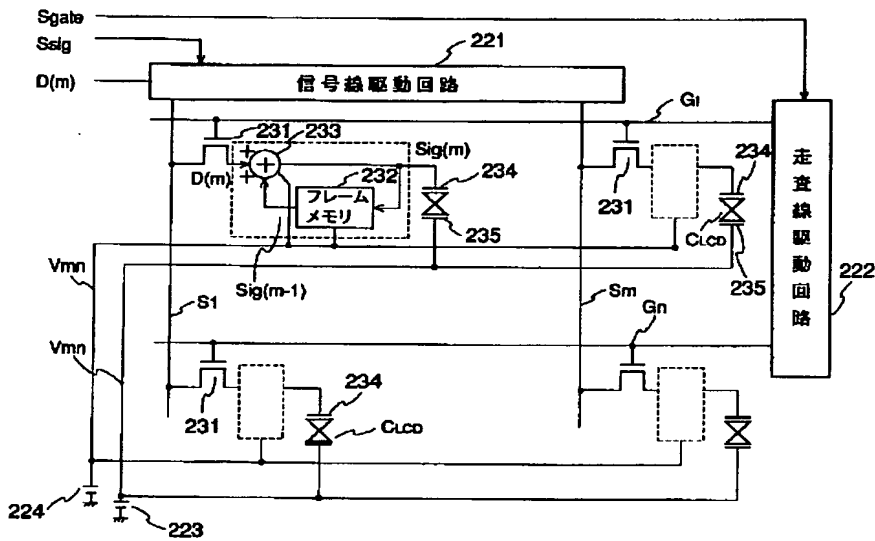
【図 18】



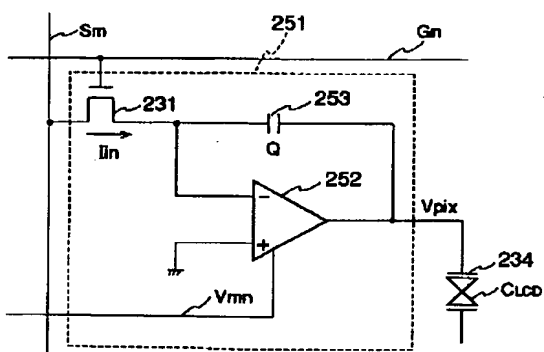
【図 24】



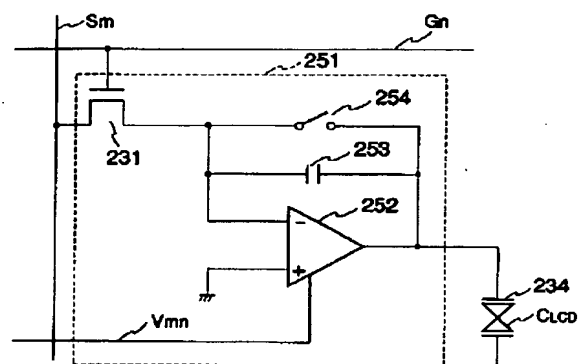
【図 19】



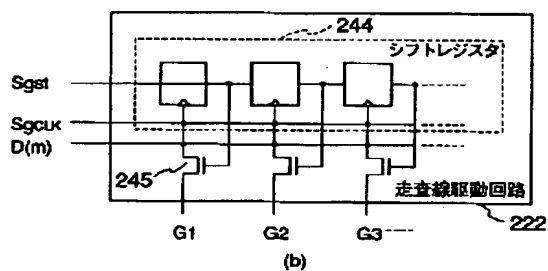
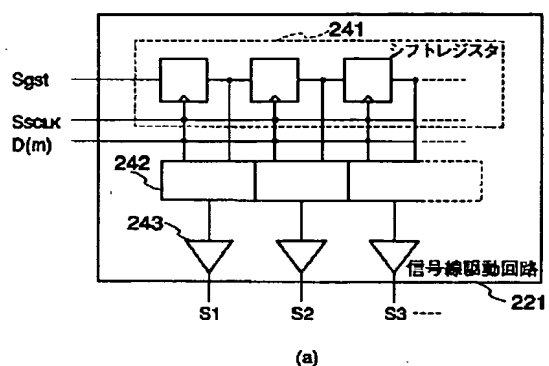
【図 21】



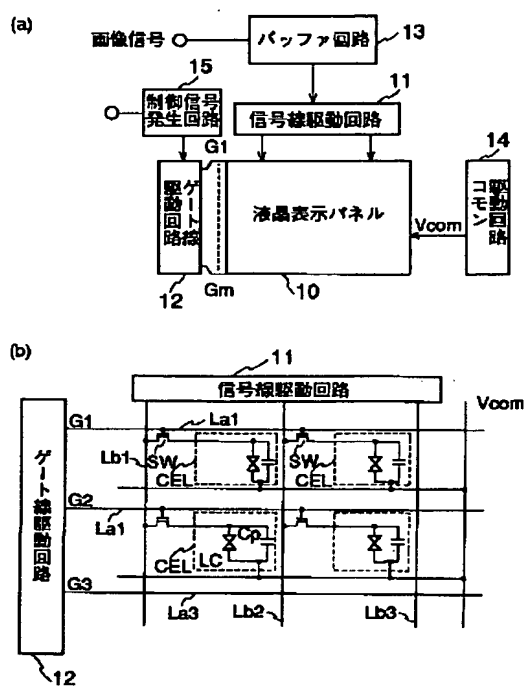
【図 23】



【図 20】



【図 25】



フロントページの続き

(72)発明者 伊藤 剛
神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 上浦 紀彦
神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内